

KIM
January 16, 2004
BSKB LLP
103-205-8000
0465-1140 P
lot



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0002990
Application Number

출원 년 월 일 : 2003년 01월 16일
Date of Application JAN 16, 2003

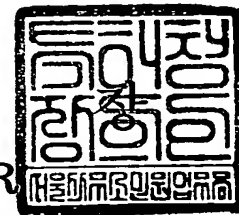
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 01 월 05 일

특 허 청

COMMISSIONER





1020030002990

출력 일자: 2004/1/6

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.01.16
【국제특허분류】	G06F
【발명의 명칭】	부동 소수점 연산을 지원하는 프로세서
【발명의 영문명칭】	Architecture Supporting Block Floating Point Processing in Processor
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2002-027000-4
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2002-027001-1
【발명자】	
【성명의 국문표기】	김효진
【성명의 영문표기】	KIM,Hyo Jin
【주민등록번호】	651231-1231521
【우편번호】	121-250
【주소】	서울특별시 마포구 성산동 572-635 401호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김용인 (인) 대리인 심창섭 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 정수 단위를 갖는 프로세서에서 많은 사이클 오버헤드 없이 부동 소수점 연산을 가능하도록한 부동 소수점 연산을 지원하는 프로세서에 관한 것으로, 부동 소수점 연산을 위한 프로그램을 저장하는 프로그램 메모리;상기 저장된 프로그램을 읽어 내는 인스트럭션 레지스터 및 디코딩된 프로그램에 의해 부동 소수점 연산을 위한 블록들의 제어 및 파이프 라인 제어를 수행하는 디코딩 및 파이프라인 제어부;내부 데이터 및 어드레스 연산 결과를 저장하는 데이터 메모리;프로그램 어드레스 및 데이터 어드레스를 발생하는 어드레스 발생부;데이터의 지수(Exponent)를 구하기 위해 데이터 입력의 부호를 판단하여 음수이면 이를 부정(Negate)하고 연산하여 지수값을 구하는 데이터 연산을 수행하는 연산 블록(ALU)을 포함한다.

【대표도】

도 1

【색인어】

부동 소수점, Double Precision

【명세서】

【발명의 명칭】

부동 소수점 연산을 지원하는 프로세서{Architecture Supporting Block Floating Point Processing in Processor}

【도면의 간단한 설명】

도 1은 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서의 구성도

도 2는 본 발명에 따른 ALU 블록의 구성도

도면의 주요부분에 대한 부호의 설명

- | | |
|---------------------|------------------|
| 11. 프로그램 메모리 | 12. 인스트럭션 레지스터 |
| 13. 디코딩 및 파이프라인 제어부 | 14. 데이터 메모리 |
| 15. 프로그램 어드레스 발생부 | 16. ALU |
| 17. 연산 유닛 | 18. 데이터 어드레스 발생부 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 프로세서에 관한 것으로, 특히 정수 단위를 갖는 프로세서에서 많은 사이클 오버헤드 없이 부동 소수점 연산을 가능하도록한 부동 소수점 연산을 지원하는 프로세서에 관한 것이다.

<9> 일반적으로 데이터 연산을 하되 정밀도를 요구하는 경우를 위해 많은 프로세서 (Processor)에서는 배정도(Double Precision)로 확장할 수 있는 구조를 사용한다.

- <10> 이는 배정도(Double Precision) 구조를 가질 때 그렇지 않은 경우보다 처리할 수 있는 유효 범위가 넓어지기 때문이다.
- <11> 여기서, 배정도(Double Precision)란 데이터 폭(Data width)이 N bit일 경우 2N bit까지 확장하여 정밀도를 높이는 방법 또는 구조이다.
- <12> 예를 들어, 데이터 폭이 16 비트(single precision data)인 경우에서 배정도(double precision)(32bit) 연산을 구현하는 것도 가능하다.
- <13> 이와 같이 정밀도를 높이기 위하여 배정도 연산을 하는 경우에는 부동 소수점 단위(Floating Point Unit)는 계산 결과가 정밀하지만 로직 게이트 사이즈(Logic Gate size)가 크고 연산하는데 필요한 사이클(Cycle)수도 정수 단위(Integer Unit)의 4 ~ 5배 이상이 된다.
- <14> 배정도(Double Precision)를 구현하기 위해서는 단정도(Single Precision)에 비해 2배의 사이클과 2배의 메모리가 필요하게 된다.
- <15> 그리고 또 다른 방법으로 블록 부동 소수점(Block Floating Point) 연산을 위한 명령어를 지원하는 프로세서가 있다.
- <16> 블록 부동 소수점(Block Floating Point) 연산이란 연산 유닛의 추가는 없이 가상적으로 지수(Exponent)의 위치를 구하고 데이터를 지수값 만큼 좌측으로 이동하여 유효 숫자의 범위를 확장하는 방법이다.
- <17> 이와 같은 종래 기술의 프로세서들에서 부동 소수점 연산의 정밀도 및 연산 속도를 높이기 위한 방법들은 기능적으로 블록 부동 소수점 연산을 지원하지만 구현 면적 및 사이클 오버헤드(Cycle Overhead)가 크다.

<18> 예를 들어, 각 샘플의 비트를 MSB로부터 LSB까지 조사하는 경우에는 각 샘플의 지수값을 구하기 위해 데이터 폭 만큼의 사이클 수를 필요로 한다.

<19> 일반적으로 전용 명령어나 하드웨어 자원없이 일정한 샘플 크기를 가진 블록의 대표 지수값을 구하기 위해 각 지수의 최소값 또는 최대값을 구하는 루틴을 필요로 하게 되는데, 이 루틴은 $(N^2 + N)/2$ cycle을 소모하게 된다.(여기서, N은 Block의 Sample수)

【발명이 이루고자 하는 기술적 과제】

<20> 그러나 이상에서 설명한 종래 기술에 따른 프로세서는 다음과 같은 문제점이 있다.

<21> 종래 기술에서 정밀도를 높이기 위하여 배정도 연산을 하는 경우에는 단정도(Single Precision)연산에 비해 2배의 사이클과 2배의 메모리가 필요하게 된다.

<22> 또한, 연산 유닛의 추가는 없이 가상적으로 지수(Exponent)의 위치를 구하고 데이터를 지수값 만큼 좌측으로 이동하여 유효 숫자의 범위를 확장하는 방법을 적용하는 경우에는 사이클 오버헤드가 크다.

<23> 본 발명은 상기와 같은 종래 기술의 프로세서의 문제점을 해결하기 위해 안출한 것으로, 정수 단위를 갖는 프로세서에서 많은 사이클 오버헤드 없이 부동 소수점 연산을 가능하도록 부동 소수점 연산을 지원하는 프로세서를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서는 부동 소수점 연산을 위한 프로그램을 저장하는 프로그램 메모리;상기 저장된 프로그램을 읽어 내는 인스트럭션 레지스터 및 디코딩된 프로그램에 의해 부동 소수점 연산을 위한 블록들의 제어 및 파이프 라인 제어를 수행하는 디코딩 및 파이프라인 제어부;내부 데이터 및 어드레

스 연산 결과를 저장하는 데이터 메모리; 프로그램 어드레스 및 데이터 어드레스를 발생하는 어드레스 발생부; 데이터의 지수(Exponent)를 구하기 위해 데이터 입력의 부호를 판단하여 음수이면 이를 부정(Negate)하고 연산하여 지수값을 구하는 데이터 연산을 수행하는 연산 블록(ALU)을 포함하는 것을 특징으로 한다.

- <25> 본 발명의 다른 목적, 특성 및 잇점들은 이하에서의 실시예들의 상세한 설명을 통해 명백해질 것이다.
- <26> 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서의 바람직한 실시예에 관하여 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- <27> 도 1은 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서의 구성도이고, 도 2는 본 발명에 따른 ALU 블록의 구성도이다.
- <28> 본 발명은 한 블록에서 대표 지수값을 N 사이클(N은 블록의 샘플수)만에 구할 수 있는 프로세서의 구조를 제공하기 위한 것으로, 각 샘플의 부호가 MSB로부터 LSB까지 걸쳐 분포하는 성질을 이용하여 각 샘플의 부호에 따라 음수이면 양수로 만들어 논리 연산(Logical OR)을 하는 것이다.
- <29> 이와 같은 연산으로 최종적으로 얻어지는 결과의 부호 비트의 모양은 대표적인 성격을 갖게 되고 이 샘플의 사인 비트(Sign bit) 수가 지수값이다.
- <30> 그리고 구해진 지수값 만큼 왼쪽으로 이동해주면 유효 숫자 비트가 사인 비트의 바로 아래로 오게 된다.
- <31> 이를 위한 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서(또는 Digital Signal Processor; DSP)는 부동 소수점 연산을 위한 프로그램을 저장하는 프로그램 메모리(11)와, 프로

그럼 메모리(11)에 저장된 프로그램을 읽어 내는 인스트럭션 레지스터(Instruction Register)(12)와, 디코딩된 프로그램에 의해 부동 소수점 연산을 위한 블록들의 제어 및 파이프 라인 제어를 수행하는 디코딩 및 파이프라인 제어부(13)와, 내부 데이터 및 어드레스 연산 결과를 저장하는 데이터 메모리(14)와, 프로그램 어드레스를 발생하는 프로그램 어드레스 발생부(15) 및 데이터 어드레스를 발생하는 데이터 어드레스 발생부(18)와, 데이터 연산을 위한 계산(Arithmetic), 로직, 승산(Multiplication)등을 수행하고 연산 유닛에 포함되거나 독립적으로 존재할 수 있으며, 데이터의 지수(Exponent)를 구할 목적으로 데이터 입력의 부호를 판단하여 음수이면 이를 부정(Negate)하고 연산하여 지수값을 구하는 부동 소수점 연산 블록 즉, ALU(16)와, 데이터 연산에 필요한 승산을 하는 연산 유닛(Multiplier)(17)을 포함하고 구성된다.

<32> 여기서, 부동 소수점 연산을 제어 및 수행하는 ALU(16)는 도 2에서와 같이, 데이터 메모리(14)에서 입력되는 데이터값을 저장 출력하는 데이터 레지스터(DBIND)와, 입력되는 데이터의 부호가 음수이면 이를 부정(Negate)하는 인버터(INV)와, 이전의 누산된 값과 입력 데이터값을 논리합 연산을 수행하고 그 결과를 다시 누산부(Accumulator;ACC)에 저장하는 논리 연산부(OR)를 포함하고 구성된다.

<33> 그리고 부호가 음수인 경우에 이를 부정하고 데이터값과 논리합 연산하는(ORC)동작을 일정 샘플 수만큼 반복 동작을 시킬 수 있는 루프(Loop) 구조를 갖기 위하여 리피트 블록(Repeat Block)을 구성하는 리피트 카운터(Repeat Counter), 블록의 시작 번지, 마지막 번지를 저장하는 입력 데이터 비트 시프트 카운트 레지스터(ASMO) 및 반복 연산에 의한 결과로부터 지수값을 추출하는 수단(CLZ)을 포함한다.

- <34> 기본적으로 프로세서(Processor) 또는 DSP의 메모리에 일정량의 데이터가 미리 채워져 있다고 가정하고 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서의 동작을 설명하면 다음과 같다.
- <35> 먼저, 데이터 로딩 동작을 수행하는 명령을 실행하여 데이터 메모리에서 데이터가 계산 유닛으로 입력된다.
- <36> 여기서, 데이터가 입력될 때마다 부호가 음수인 경우에는 부정(Negate)되기 때문에 양수처럼 받아들여진다. 따라서, 부호는 "0"이 되고 유효 숫자가 없는 부분은 "0"이 남아 있고 유효 숫자가 있는 부분은 "1"로 채워진다.
- <37> 해당 블록의 모든 샘플을 읽어 상기한 연산(ORC)을 하게 되면 블록의 대표 지수만큼 MSB로부터 "0"이 남게 된다. 이때 부호 비트(sign bit)는 제외하고 MSB부터 연속적으로 남아있는 "0"의 수가 지수값이 된다.
- <38> 그리고 표 1은 8 비트로 된 정수 또는 소수 표시 방법을 나타낸 것이다.

<39> 【표 1】

s	b	b	b	b	b	b	b
---	---	---	---	---	---	---	---

- <40> MSB는 부호 비트로 사용되고 나머지 비트가 유효 표시 범위이다.
- <41> 그리고 부호 비트가 "1"이면 음수를 의미하는 것이다.

<42>

$$V = -1 * B_7 2^{-0} + B_6 2^{-1} + B_5 2^{-2} + B_4 2^{-3} + B_3 2^{-4} + B_2 2^{-5} + B_1 2^{-6} + B_0 2^{-7}$$

【수학식 1】

- <43> 예를 들어, 0x80 → -1.0이고, 0x40은 0.5라고 하고 이하의 데이터들을 한 블록이라고 하면 다음과 같이 지수값이 구해진다.

<44> 00001010

<45> 11100101 →00011010

<46> 00011110

<47> 11111000 →00000111

<48> 이와 같은 데이터들을 모두 본 발명에 따른 연산(ORC)를 하면 00011111이 되고 지수값은 2가 된다.

<49> 이와 같이 본 발명은 한 블록에서 대표 지수값을 N 사이클(N은 블록의 샘플수)만에 구할 수 있다.

【발명의 효과】

<50> 이와 같은 본 발명에 따른 부동 소수점 연산을 지원하는 프로세서는 다음과 같은 효과가 있다.

<51> 본 발명은 각 샘플의 부호가 MSB로부터 LSB까지 걸쳐 분포하는 성질을 이용하여 각 샘플의 부호에 따라 음수이면 양수로 만들어 논리 연산(Logical OR)을 하여 한 블록에서 대표 지수값을 N 사이클(N은 블록의 샘플수)만에 구할 수 있다.

<52> 이는 정수 단위를 갖는 프로세서에서 많은 사이클 오버헤드 없이 부동 소수점 연산을 가능하도록 하는 효과를 갖는다.

<53> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<54> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】**【청구항 1】**

부동 소수점 연산을 위한 프로그램을 저장하는 프로그램 메모리;

상기 저장된 프로그램을 읽어 내는 인스트럭션 레지스터 및 디코딩된 프로그램에 의해 부동 소수점 연산을 위한 블록들의 제어 및 파이프 라인 제어를 수행하는 디코딩 및 파이프라인 제어부;

내부 데이터 및 어드레스 연산 결과를 저장하는 데이터 메모리;

프로그램 어드레스 및 데이터 어드레스를 발생하는 어드레스 발생부;

데이터의 지수(Exponent)를 구하기 위해 데이터 입력의 부호를 판단하여 음수이면 이를 부정(Negate)하고 연산하여 지수값을 구하는 데이터 연산을 수행하는 연산 블록(ALU)을 포함하는 것을 특징으로 하는 부동 소수점 연산을 지원하는 프로세서.

【청구항 2】

제 1 항에 있어서, 연산 블록(ALU)은,

데이터 메모리에서 입력되는 데이터값을 저장 출력하는 데이터 레지스터(DBIND)와,

입력되는 데이터의 부호가 음수이면 이를 부정(Negate)하는 인버터(INV)와,

이전의 누산된 값과 입력 데이터값을 논리합 연산을 수행하고 그 결과를 다시 누산부((Accumulator;ACC)에 저장하는 논리 연산부(OR)를 포함하고 구성되는 것을 특징으로 하는 부동 소수점 연산을 지원하는 프로세서.

【청구항 3】

제 1 항에 있어서, 연산 블록(ALU)은,

일정 샘플 수만큼의 반복 연산을 위하여 리피트 블록(Repeat Block)을 구성하는 리피트 카운터(Repeat Counter)와,

블록의 시작 번지, 마지막 번지를 저장하는 레지스터를 더 포함하는 것을 특징으로 하는 부동 소수점 연산을 지원하는 프로세서.

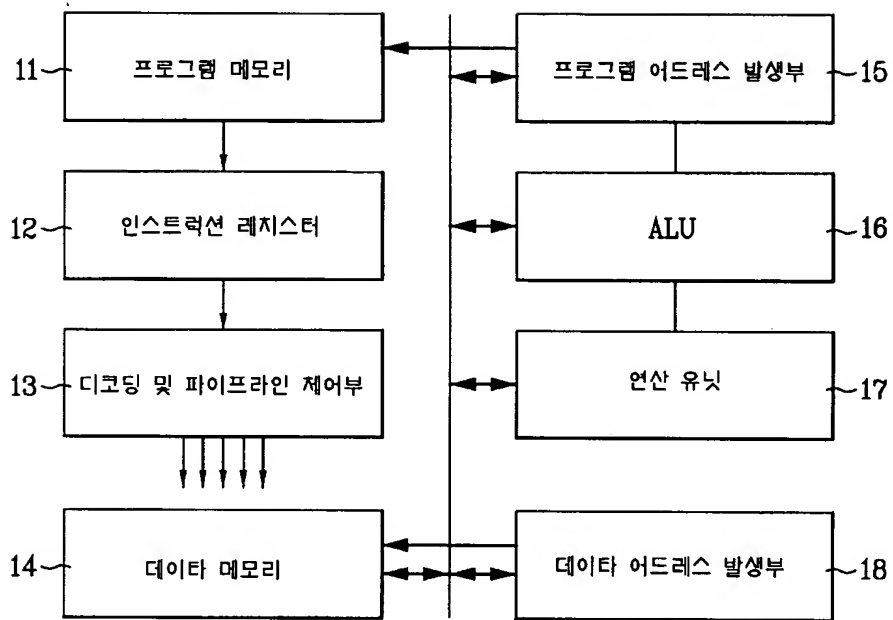
【청구항 4】

제 1 항에 있어서, 연산 블록(ALU)은,

반복 연산에 의한 결과로부터 지수값을 추출하는 수단(CLZ)과, 계산 결과를 저장하는 레지스터를 더 포함하는 것을 특징으로 하는 부동 소수점 연산을 지원하는 프로세서.

【도면】

【도 1】



【도 2】

